

WPI

- TI - Cell interleaving procedure in asynchronous transfer mode exchange system involves extracting first bit in each of divided information field for interleaving with corresponding header field
- AB - JP2000174775 NOVELTY - The first bit in each of the divided information field are extracted, combined and interleaved with the corresponding header field stored in a buffer and transmitted to the receiving side. The remaining bits in the information field are transmitted to the receiving side in a specific order.
 - DETAILED DESCRIPTION - The number of bits in the asynchronous transfer mode (ATM) cells having header field and information field, are counted sequentially and are stored if the count result corresponds to the header field and the information field of ATM cell.
 - USE - In asynchronous transfer mode exchange system.
 - ADVANTAGE - Enables providing favorable speech quality and maintains minimum transmission delay time, since interleaving operation is performed continuously.
 - DESCRIPTION OF DRAWING(S) - The figure shows the model diagram of general ATM exchange system.
 - (Dwg.1/5)
- PN - KR2000034229 A 20000615 DW200110 H04L12/56 000pp
- JP2000174775 A 20000623 DW200041 H04L12/28 009pp
- PR - KR19980051505 19981128
- PA - (GLDS) LG INFORMATION & TELECOM CO LTD
- (GLDS) LG INFORMATION & COMMUNICATIONS LTD
- IN - HUH D S
- MC - W01-A04A2 W01-A06 W02-C06
- DC - W01 W02
- IC - H04B14/04 ;H04L7/08 ;H04L12/28 ;H04L12/56
- AN - 2000-470705 [41]

PAJ

- TI - CELL INTERLEAVING METHOD FOR ASYNCHRONOUS TRANSFER MODE(ATM) EXCHANGE SYSTEM
- AB - PROBLEM TO BE SOLVED: To minimize cell loss and cell transmission delay by improving the interleaving method of a cell header by transmitting the bits of a header field and first to (i-1) bits among (n) bits in an information field to the side of reception while successively coupling them.
 - SOLUTION: After all the cell headers of 5 bytes are outputted to a first buffer in a unit cell 10 of 53 bytes, an FPJ respective divides the information field of 48 bytes, namely, 384 bits from the first bit to 320th bit for the unit of 8 bits and transmits the first to seventh bits except the eighth bit among 8 bits through a data transmission line S1 to an output controller 40. The output controller 40 performs primary interleaving while coupling the received 7 bits and one bit having the highest priority among 40 bits on standby in a parallel/ serial converter 30 and successively transmits the parallel data of interleaved 8 bits.
- PN - JP2000174775 A 20000623
- PD - 2000-06-23
- ABD - 20001013
- ABV - 200009
- AP - JP19990307813 19991028
- PA - LG INFORMATION & COMMUN LTD
- IN - KYO TOSEKI
- I - H04L12/28 ;H04B14/04 ;H04L7/08

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-174775

(P2000-174775A)

(43) 公開日 平成12年6月23日 (2000.6.23)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 4 L 12/28		H 0 4 L 11/20	D
H 0 4 B 14/04		H 0 4 B 14/04	F
H 0 4 L 7/08		H 0 4 L 7/08	Z

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願平11-307813

(22) 出願日 平成11年10月28日 (1999.10.28)

(31) 優先権主張番号 1998-51505

(32) 優先日 平成10年11月28日 (1998.11.28)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 598124294

エルジエ情報通信株式会社

大韓民国ソウル特別市永登浦区汝矣島洞20

(72) 発明者 許 東石

大韓民国 京畿▲道▼ 水原市 長安區

森園洞 510 碧山エビーティー.

106-302

(74) 代理人 100078282

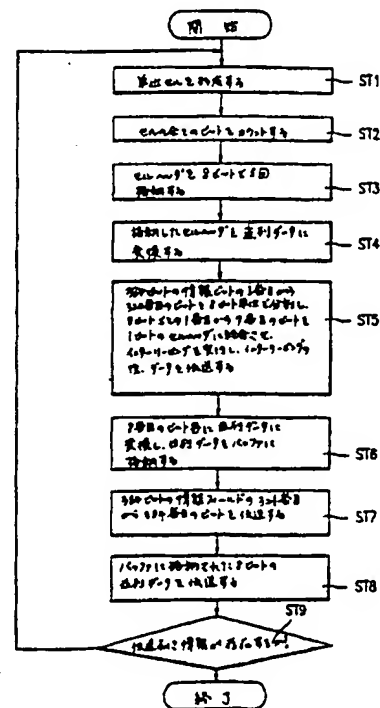
弁理士 山本 秀策

(54) 【発明の名称】 ATM (非同期伝送モード) 交換方式におけるセルインターリーピング方法。

(57) 【要約】

【課題】 ATM交換方式において、セルヘッダのインターリーピング方法を改善し、セル伝送の遅延を最小化するようなATM交換方式におけるセルインターリーピング方法を提供する。

【解決手段】 本発明のATM交換方式におけるセルインターリーピング方法は、a1) ヘッダフィールドと情報フィールドとを有する一つ以上のATMセルから成るビットを順にカウントする段階と; b1) カウントの結果がATMセルのヘッダフィールドに対応するとヘッダフィールドを格納する段階と; c1) カウントの結果が情報フィールドに対応すると情報フィールドをnビット単位で繰り返して分割する段階と; d1) b1) 段階における格納されたヘッダフィールドのビットとc1) 段階における分割された毎nビットのうち1番目ビットからn-1番目のビットまでを順次に結合して受信側に伝送する段階と; e1) d1) 段階における伝送されてないn番目ビットのみを、設定されたデータ単位で受信側に伝送する段階と; f1) d1) およびe1) 段階における伝送されてないビットを受信側に伝送する段階とを含む。



【特許請求の範囲】

【請求項1】 a1) ヘッダフィールドと情報フィールドとを有する一つ以上のATMセルから成るビットを順にカウントする段階と；

b1) 前記カウントの結果が前記ATMセルのヘッダフィールドに対応すると前記ヘッダフィールドを格納する段階と；

c1) 前記カウントの結果が前記情報フィールドに対応すると前記情報フィールドをnビット単位で繰り返して分割する段階と；

d1) 前記b1)段階における格納されたヘッダフィールドのビットと前記c1)段階における分割された前記毎nビットのうち1番目ビットからn-1番目のビットまでを順次に結合して受信側に伝送する段階と；

e1) 前記d1)段階における伝送されてないn番目ビットのみを、設定されたデータ単位で前記受信側に伝送する段階と；

f1) 前記d1)およびe1)段階における伝送されてないビットを前記受信側に伝送する段階とを含む、ATM交換方式におけるセルインターリーブング方法。

【請求項2】 前記a1)段階におけるカウント動作はソフトウェア的に又はプログラムの可能なハードウェアを用いて実施する、請求項1に記載のATM交換方式におけるセルインターリーブング方法。

【請求項3】 前記b1)段階における前記各ATMセルのヘッダフィールドに対応するビットは並列データで格納された後、直列データに変換される、請求項1に記載のATM交換方式におけるセルインターリーブング方法。

【請求項4】 前記c1)段階におけるnビットは8ビットである、請求項1に記載のATM交換方式におけるセルインターリーブング方法。

【請求項5】 前記d1)段階における前記ヘッダフィールドに対応する1ビットは分割された前記毎nビットのうち、n番目ビットの位置に結合される、請求項1に記載のATM交換方式におけるセルインターリーブング方法。

【請求項6】 前記e1)段階における前記毎nビットのうち、伝送されてないn番目のビットは並列データに変換して格納した後、nビットの並列データ単位で伝送される、請求項1に記載のATM交換方式におけるセルインターリーブング方法。

【請求項7】 前記伝送する情報は、前記b1)段階を行う間には伝送されず、前記c1)段階ないしf1)段階を連続的に行う、請求項1に記載のATM交換方式におけるセルインターリーブング方法。

【請求項8】 前記b1)ないしf1)段階は、前記a1)段階のATMセルが一つ以上である場合、伝送する情報が全て伝送されるまでに繰り返して行われる、請求項1に記載のATM交換方式におけるセルインターリーブング方

法。

【請求項9】 ヘッダフィールドと情報フィールドとを有するATMセルから成るビットを順にカウントするために、ソフトウェア的に又はハードウェア的にプログラムの可能なFPJと；前記FPJのカウント結果が前記ヘッダフィールドに対応すると前記ヘッダフィールドを格納する第1のバッファと；前記第1のバッファから出力されるデータを直列データに変換する並列／直列変換器と；前記カウント結果が前記情報フィールドに対応し、前記情報フィールドをnビット単位で分割する場合、前記nビット単位の毎n番目のビットを並列データに変換する直列／並列変換器と；前記直列／並列変換器から出力されるビットを格納して、nビット単位の並列データで出力する第2のバッファと；前記第1のバッファに格納中のヘッダフィールドを形成するそれぞれのビットと前記毎nビットのうち1番目ビットからn-1番目ビットまでを順次に結合して受信側に伝送し、次いで、前記伝送されてないn番目ビットのみを設定されたデータ単位で前記受信側に伝送し、前記情報フィールドに対応する伝送されてないビットを前記受信側に伝送する出力制御部とを含む、ATM交換方式におけるセルインターリーブング方法。

【請求項10】 前記nビットは8ビットである、請求項9に記載のATM交換方式におけるセルインターリーブング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はATM (Asynchronous Transfer Mode: 非同期伝送モード) 交換方式に関し、特に、従来のセルインターリーブング方法を改善して、セル損失および伝送の遅延を最小化するようなATM交換方式におけるセルインターリーブング方法に関する。

【0002】

【従来の技術】一般的に通信網の最も基本的な機能は、多数の加入者の中で相手を選んで回線を接続し、必要な情報を自由に交換することである。回線を接続するための交換方式は“回線交換方式”と“パケット交換方式”、そして“ATM交換方式”とで区分される。

【0003】回線交換方式とは、情報を送る前に着信側の番号に従って交換機のスイッチを設定し、発信側と着信側との間に物理的な回線を作る方式である。このような回線交換方式は、着信側に伝送する情報があるとき直ちに伝送することができる。しかし、伝送する情報がないときは、回線を使用しないため、回線が浪費される。このような理由で、回線交換方式は電話やファクシミリ、画像を連続的に伝送する装置などに適する。

【0004】また、パケット交換方式は、まず、デジタル情報を決められた大きさ以下に分け、各ブロックにアドレス番号などを含むヘッダを付けて回線を作る方式

である。このように既に決められている情報にヘッダを付けた最小単位の情報で“パケット”と言い、情報を伝送する場合はパケット単位で伝送する。このような交換方式は情報が発生したときにのみ交換機の空いている回線を探して伝送するので、データ通信のように間歇的に発生する情報を伝送するのに適する。

【0005】また、ATM交換方式はパケット交換の原理を発展させたもので、伝送中のパケット処理を十分に簡単にして回線交換のような高速動作を可能とする。

したがって、ATM交換方式は、いろいろな性質の多様な情報信号を自由且つ効率的にやり取ることができ、今後マルチメディア情報を基とする次世代通信システムに非常に有用である。このようなATM交換方式は移動電話システムで移動端末機と基地局の間の無線区間を除いた基地局と交換局間または交換局と基地局の制御器間などの要求される有線区間に適用させて使用される。

【0006】図1は一般的なATM交換方式の原理を説明するための模式図である。図1を参照すると、デジタル情報は48バイトの一定の長さの複数のブロックに分割され、伝送時は分割された各ブロックに5バイトのヘッダをそれぞれ付けて伝送する。ATM交換方式でこのような53バイトのブロックを“セル”と言う。

【0007】このように情報をセルに分解して伝送すると、設定の時間にいくつのセルを伝送するかを決められるので、伝送するセルの数を調節することが容易である。したがって、低速から高速までの伝送速度を必要とする多様な種類の情報を制限なく送ることができる。さらに、ネットワークの伝送速度と情報信号の伝送速度とを同期しなくてもよい。また、情報の発生時のみ伝送し、情報のない時には他の端末機が同じ伝送路を用いて他のセルを伝送することができるので、伝送路の浪費はない。

【0008】このようなATM交換方式では情報の伝送時、特定部分に集中的にエラーが発生することを防止するためにインターリーピングを実施する。すなわち、図2のように、伝送するデータが1から20まで表示される時、入力縦方向に書かれ、出力は横方向に書かれる。したがって、インターリーピングされた最終的データは1, 6, 11, 16と表示される横方向のデータが順に出力される。

【0009】このようにデータをインターリーピングして伝送するため、2, 7, 12, 17と表示される二番目の横方向のデータが全部割れても、受信する全体データは1, *, 3, 4, 5, 6, *, 8, 9, 10, ..., 19, 20のようにエラーが分散した形態となるため、いろんなエラー復旧方法を通して全体データを容易に復元することができる。

【0010】図3は背景技術におけるATM交換方式において、セルヘッダをセル単位でインターリーピングする動作を説明するためのブロック図である。図3を参照

すると、従来の技術によるATM交換方式でセル単位のインターリーピング方式は、40ビット(5バイト)のセルヘッダを384ビット(48バイト)の情報フィールドのうち毎10ビットごとに挿入してインターリーピングを行う。このようにセルヘッダをインターリーピングする理由は、セルを受信する受信側でセルの実際データと関係なくセルヘッダが割れていれば、全体セルを捨ててセルの再伝送を要求するためである。

【0011】したがって、40ビットのセルヘッダと384ビットの情報フィールドとから成る単位セル1をバッファ2に格納させた後、コンバータ3を介して384ビットの情報フィールドの毎10ビットごとに1ビットのヘッダを順次に挿入して出力させる。その後、このようにインターリーピングされたセルは多くのセルと多重化処理され伝送される。受信側ではインターリーピングされたセルを受信し、ディインターリーピング(deinterleaving)して元の伝送データを復元する。この際、受信側は5バイトのセルヘッダが割れていれば、全体セルを全部捨てて発信側にセルの再伝送を要求する。

【0012】しかし、このような背景技術によると、53バイトのセルを一つのバッファに全て格納した後、53バイトのヘッダのうち毎10ビットを全体384ビットの情報フィールドのうち毎10ビットごとに挿入する方式でインターリーピングを行う。したがって、全体データが伝送される場合、最小53バイト、すなわち一つのセルがインターリーピングされる時間だけの伝送遅延が起る。このような伝送の遅れは実時間(リアルタイム)を基にサービスを提供する音声サービスまたは映像サービス面で通話の質を落とす原因となる。

【0013】

【発明が解決しようとする課題】本発明は上記のような関連技術の問題点を解決するために成されたもので、ATM交換方式においてセルヘッダのインターリーピング方法を改選し、セル伝送の遅延を最小化するようなATM交換方式におけるセルインターリーピング方法およびシステムを提供することにその目的がある。

【課題を解決するための手段】

【0014】本発明のATM交換方式におけるセルインターリーピング方法は、

a1) ヘッダフィールドと情報フィールドとを有する一つ以上のATMセルから成るビットを順にカウントする段階と；

b1) カウントの結果がATMセルのヘッダフィールドに対応するとヘッダフィールドを格納する段階と；

c1) カウントの結果が情報フィールドに対応すると情報フィールドをnビット単位で繰返して分割する段階と；

d1) b1)段階における格納されたヘッダフィールドのビットとc1)段階における分割された毎nビットのうち1番目ビットからn-1番目のビットまでを順次に結合し

て受信側に伝送する段階と；

e1) d1)段階における伝送されてないn番目ビットのみを、設定されたデータ単位で受信側に伝送する段階と；
f1) d1)およびe1)段階における伝送されてないビットを受信側に伝送する段階とからなり、それにより上記目的が達成される。

a1)段階におけるカウント動作はソフトウェア的に又はプログラムの可能なハードウェアを用いて実施してもよい。

b1)段階における各ATMセルのヘッダフィールドに対応するビットは並列データで格納された後、直列データに変換されてもよい。

c1)段階におけるnビットは8ビットであってもよい。

d1)段階におけるヘッダフィールドに対応する1ビットは分割された毎nビットのうち、n番目ビットの位置に結合されてもよい。

e1)段階における毎nビットのうち、伝送されてないn番目のビットは並列データに変換して格納した後、nビットの並列データ単位で伝送されてもよい。

伝送する情報は、b1)段階を行う間には伝送されず、c1)段階ないしf1)段階を連続的に行ってもよい。b1)ないしf1)段階は、a1)段階のATMセルが一つ以上である場合、伝送する情報が全て伝送されるまでに繰り返して行われてもよい。本発明のATM交換方式におけるセルインターリービング方法は、ヘッダフィールドと情報フィールドとを有するATMセルから成るビットを順にカウントするために、ソフトウェア的に又はハードウェア的にプログラムの可能なFPJと、FPJのカウント結果がヘッダフィールドに対応するとヘッダフィールドを格納する第1のバッファと、第1のバッファから出力されるデータを直列データに変換する並列/直列変換器と、カウント結果が情報フィールドに対応し、情報フィールドをnビット単位で分割する場合、nビット単位の毎n番目のビットを並列データに変換する直列/並列変換器と、直列/並列変換器から出力されるビットを格納して、nビット単位の並列データで出力する第2のバッファと、第1のバッファに格納中のヘッダフィールドを形成するそれぞれのビットと毎nビットのうち1番目ビットからn-1番目ビットまでを順次に結合して受信側に伝送し、次いで、伝送されてないn番目ビットのみを設定されたデータ単位で受信側に伝送し、情報フィールドに対応する伝送されてないビットを受信側に伝送する出力制御部とから構成され、それにより上記目的が達成される。nビットは8ビットであってもよい。上記の目的を達成するための本発明のATM交換方式におけるセルインターリービング方法は、a1)ヘッダフィールドと情報フィールドとで構成された一つ以上のATMセルから成るビットを順にカウントする段階と；b1)前記カウントの結果が前記ATMセルのヘッダフィールドに対応すると前記ヘッダフィールドを格納する段階と；c1)前記

カウントの結果が前記ATMセルの前記情報フィールドに対応すると前記情報フィールドをnビット単位で繰り返して分割する段階と；d1)前記b1)段階における格納されたヘッダフィールドのビットと前記c1)段階における分割された前記毎nビットのうち1番目ビットからn-1番目のビットまでを順次に結合して受信側に伝送する段階と；e1)前記d1)段階において伝送されてないn番目ビットのみを、設定されたデータ単位で前記受信側に伝送する段階と；f1)前記d1)およびe1)段階において伝送されてないビットを前記受信側に伝送する段階とからなることを特徴とする。

【0015】本発明の他の特徴は、ATM交換方式におけるセルインターリングシステムが、ヘッダフィールドと情報フィールドとで構成されたATMセルから成るビットを順にカウントするために、ソフトウェア的に又はハードウェア的にプログラムの可能なFPJ (Field Programmable Gatearray)と；前記FPJのカウント結果が前記ヘッダフィールドに対応すると前記ヘッダフィールドを格納する第1のバッファと；前記第1のバッファから出力されるデータを直列データに変換する並列/直列変換器と；前記カウント結果が前記情報フィールドに対応すると、前記情報フィールドをnビット単位で分割する場合、前記nビット単位の毎n番目のビットを並列状態に変換する直列/並列変換器と；前記直列/並列変換器から出力されるビットを格納して、nビット単位の並列データで出力する第2のバッファと；前記第1のバッファに格納中のヘッダフィールドを形成するそれぞれのビットと前記毎nビットのうち1番目ビットからn-1番目ビットまでを順次に結合して受信側に伝送し、次いで、前記伝送されてないn番目ビットのみを設定されたデータ単位で前記受信側に伝送し、次いで、前記情報フィールドに対応する伝送されてないビットを前記受信側に伝送する出力制御部とから構成されることにある。

【0016】上記のような本発明の特徴によれば、インターリービングされた全体データが伝送される時間は、従来のように最小限53バイトがインターリービングされる時間だけの伝送遅延ではなく、最小限5バイトの伝送遅延時間だけに遅延される。これは実時間伝送特性が要求される音声サービスまたは映像サービス面で非常に良好な通話品質を提供するという長所がある。

【0017】

【発明の実施の形態】以下、本発明の好ましい実施例を添付の図面を参照して詳細に説明する。図4は本発明によるATM交換方式のセルヘッダをセル単位で連続インターリービングするインターリービングシステムを示すブロック図である。図4を参照すると、本発明によるインターリービングシステムは53バイトの単位セル10のうち5バイトのヘッダを格納する第1のバッファ20と、第1のバッファ20から出力する並列形態のヘッダデータを直列形態に変換する並列/直列変換器(Parallel

el-to-Serial Converter) 30と、単位セル10のうち384ビットの情報フィールドで1番目ビットから320ビットまでの毎8番目の1ビットを並列形態に変換する直列/並列変換器50と、直列/並列変換器50から出力する1ビットを順次に格納して8ビット単位で出力する第2のバッファ60と、単位セル10の情報フィールドのうち1から360までの毎7ビットと並列/直列変換器30から出力する毎1ビットとを結合して伝送し、単位セル10の384ビットの情報フィールドのうち361番目ビットから384番目ビットまでを8ビット単位で連続的に伝送し、第2のバッファ60に格納された321番目ビットから360番目ビットまでの情報フィールド(a1-a40)を連続的に伝送する出力制御部40とで構成される。

【0018】ここで、図4に示した単位セル10は、ソフトウェア的にまたはハードウェア的にプログラムの可能なFPJ(Field Programmable Gatearray)を利用して入力される単位セル10をカウントして単位セル10のヘッダ(40ビット)は第1のバッファ20に送り、単位セル10の384ビットの情報フィールドで1番目ビットから320番目ビットまでを8に分割して、それぞれの分割された8ビットのうち毎1-7番目ビットは出力制御部40に送るとともに、毎8番目ビットは直列/並列変換器50に送る。また、単位セル10の384ビットの情報フィールドで321番目ビットから360番目ビットまではソフトウェア的にまたはハードウェア的に出力制御部40に送る。

【0019】以下、添付の図4および図5を参照して、本発明によるATM交換方式においてセルヘッダをセル単位で連続インターリングする動作についての好ましい実施例を説明する。図4に示すように、伝送する情報はFPJによって48バイトのブロック単位で連続的に分割し、各分割されたブロックにアドレス番号などを含む5バイトのヘッダが付けられる。したがって、図5に示すように、伝送する情報は総53バイトの単位セルから成る(ステップST1)。

【0020】次いで、インターリービングシステムのFPJはソフトウェア的にまたはハードウェア的に5バイトのセルヘッダと48バイトの情報フィールドから成る単位セル10の全てのビットを連続してカウントし、該ビットの伝送経路を決める(ステップST2)。FPJは単位セル10のセルヘッダに対応する40ビットをカウントして、8ビットの並列データ形態で第1のバッファ20に5回連続して格納する(ステップST3)。この際、バッファ20に格納された順序により格納したセルヘッダが並列/直列変換器30に入力され、図4の並列/直列変換器30の上段に図示したように直列形態のデータに変換する(ステップST4)。このような5バイトの直列形態のデータは伝送経路aを介して出力制御部40に順に伝達される。ここで、一つの単位セル10

のうち、まず5バイトのセルヘッダが8ビットの並列データ形態で第1のバッファ20に格納される間、出力制御部40は何も出力しないため、結局インターリービングされたデータが伝送されるまでは5バイトの遅延が発生する。しかし、従来の53バイトの遅延に比べると非常に改善されたものである。

【0021】次いでステップST5において、FPJは53バイトの単位セルのうち、5バイトのセルヘッダが全て第1のバッファ20に出力された後、48バイト、すなわち384ビットの情報フィールドのうち1番目ビットから320番目ビットまでを8ビット単位でそれぞれ分割して、毎8ビットのうち8番目ビットを除いた1番目から7番目のビットをデータ伝送ラインS1を介して出力制御部40に伝達する。出力制御部40は受信された7ビットと並列/直列変換器30に待機中の40ビットのうち最も優先順位を持つ1ビットとを結合して1次インターリーピングを行い、インターリーピングされた8ビットの並列データを順次に伝送する(ステップST5)。したがって、53バイトの単位セル10のうちセルヘッダ5バイトを含む総40バイトが先にインターリーピングされ伝送される。それと同時にステップST6においてFPJは384ビットの情報フィールドのうち1番目ビットから320番目ビットまでを8ビット単位で分割するときに発生する毎8番目の1ビットは直列/並列変換器50に伝達し、毎8番目のビットデータを直列/並列変換器50が8ビットの並列データに変換するようにする。したがって、総53バイトのデータが第2のバッファ60に順次に格納される(ステップST6)。

【0022】しかし、第2のバッファ60に格納された5バイトと、321番目ビットから384番目ビットまで(すなわち、8バイト)の情報フィールドはまだインターリーピングされずに残っている状態である。

【0023】ステップST7において、単位セル10の情報フィールドのうち321番目ビットから384番目ビットまでの8バイトはデータ伝送ラインS2を介して出力制御部40に連続的に伝達される。この際、出力制御部40は、伝送経路aとbを絶って伝送経路cを介して入力される8バイトのデータのみを連続して出力させる(ステップST7)。

【0024】次いで、出力制御部40は単位セル10の情報フィールドのうち321番目ビットから384番目ビットまでを全て出力させた後、伝送経路dを絶って第2のバッファ60に格納された8ビットの並列形態のデータを連続的に出力させる(ステップST8)。したがって、受信側では図4に示すように、一つのインターリーピングされた単位セル70が連続的に受信される。

【0025】次いで、インターリービングシステムは伝送する情報がさらにあるかを判断し(ステップST9)、情報があれば、上記で説明した段階(ステップS

T1からS T8)を繰り返して行い、それ以上伝送の情報があればインターリーピングの行いを終了する。本発明は、a1) ヘッダフィールドと情報フィールドとで構成された一つ以上のA T Mセルから成るビットを順にカウントする段階と；b1) カウントの結果がA T Mセルのヘッダフィールドに対応するとヘッダフィールドを格納する段階と；c1) カウントの結果が情報フィールドに対応すると情報フィールドをnビット単位で繰り返して分割する段階と；d1) b1)段階における格納されたヘッダフィールドのビットとc1)段階における分割された毎nビットのうち1番目ビットからn-1番目のビットまでを順次に結合して受信側に伝送する段階と；e1) d1)段階における伝送されてないn番目ビットのみを、設定されたデータ単位で受信側に伝送する段階と；f1) d1)およびe1)段階における伝送されてないビットを受信側に伝送する段階とで構成される。

【0026】本発明の実施例では具体的に説明していないが、実際のA T M交換方式を適用した通信システムでは同一時間帯に多数の加入者が情報を伝送する場合が多い。こんな場合は、インターリーピングされた情報を多重化して伝送する。すると、多重化インターリーピングされた情報を受信する受信端ではインターリーピングされた情報を逆多重化して自分のアドレスに対応する情報をディインターリーピングして元の信号に復元する。

【0027】

【発明の効果】上記で説明したように本発明によれば、A T M交換方式で5バイトのセルヘッダと48バイトの情報フィールドから成る一つの単位セルのうち、まず5バイトのセルヘッダをバッファに格納した後、全体53バイトのデータを連続的に出力しながらインターリーピ

ング動作を行うことができる。したがって、5バイトのセルヘッダが格納される間はインターリーピングされたデータを伝送することができないが、その後からは連続的に伝送可能である。したがって、本発明は最小限の伝送遅延時間を維持するため、実時間を基にサービスを提供する音声サービスまたは映像サービス面で非常に良好な通話品質を提供する効果がある。

【図面の簡単な説明】

【図1】一般的なA T M交換方式の原理を説明するための模式図である。

【図2】一般的なインターリーピング方法を説明するための図面である。

【図3】従来の技術によるA T M交換方式におけるセルヘッダをセル単位でインターリーピングする動作を説明するためのブロック図である。

【図4】本発明によるA T M交換方式におけるセルヘッダをセル単位で連続インターリーピングする回路を示すブロック図である。

【図5】本発明によるA T M交換方式におけるセルヘッダをセル単位で連続インターリーピングする段階を示すフローチャートである。

【符号の説明】

- 1、10、70 単位セル
- 2 バッファ
- 3 コンバータ
- 20 第1のバッファ
- 30 P/Sコンバータ
- 40 出力制御部
- 50 S/Pコンバータ
- 60 第2のバッファ

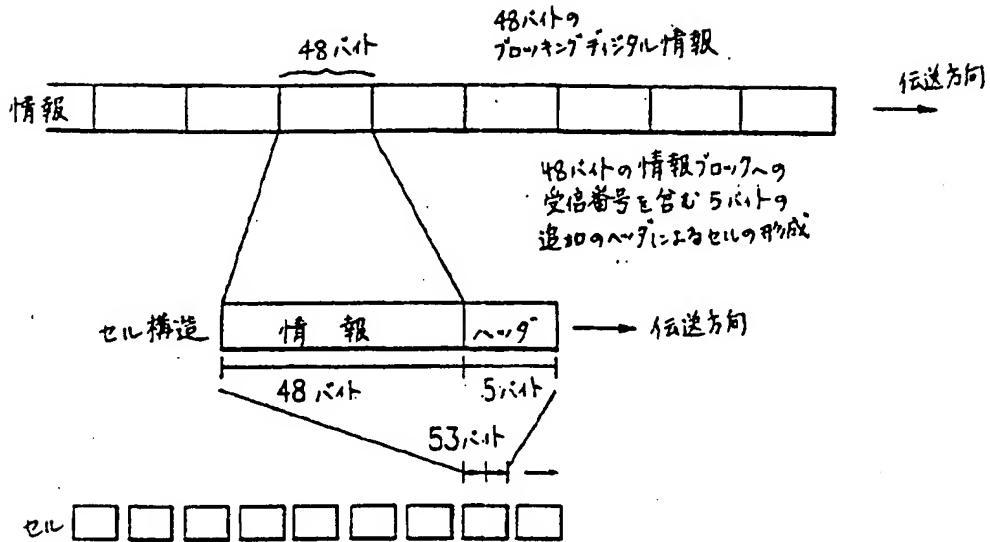
【図2】

背景技術

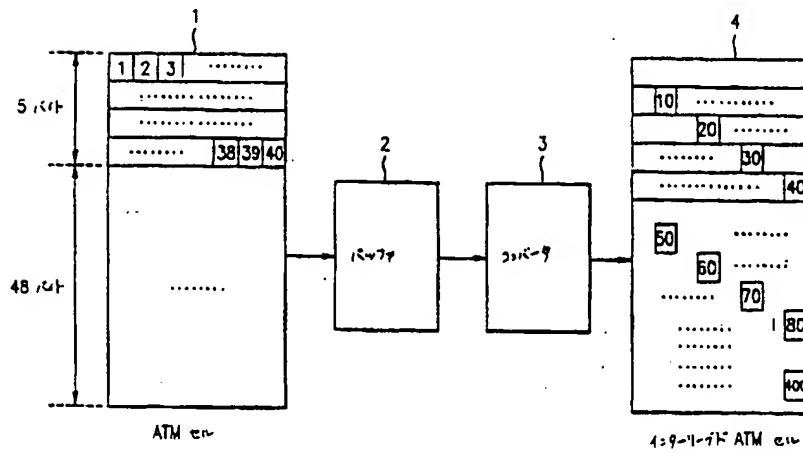


【図1】

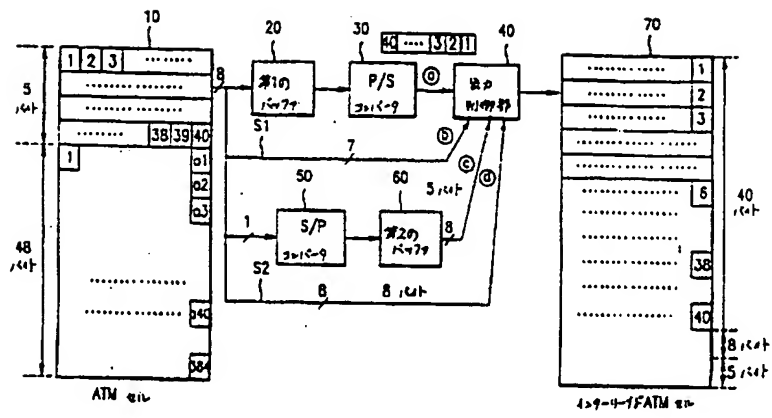
背景技術



【図3】



【図4】



【図5】

